Chronos

Venus lite series.
16/8 Channel, 0.976 ps
Streaming Time-Digital Converter

Venus Lite TDC Q&A

UG-01-3-054-6, Nov. 2026

Chronos Technology specializes in the development of ultra-high precision measurement equipment, offering nanosecond-level synchronization solutions tailored for the quantum, medical, and industrial sectors. For more product information, please visit our official website- *www.chronosci.com*

Chronos

Copyright Notice

Copyright © 2026 by Chronos Technology Inc. All rights reserved.
This document contains information that is proprietary and confidential to Chronos Technology Inc. No part of this publication may be reproduced, distributed, or transmitted in any form or by any means, including photocopying, recording, or other electronic or mechanical methods, without the prior written permission of the publisher.

1. 常见问题答疑

本章我们针对用户反馈的问题以及可能遇到的问题进行答疑，方便用户迅速处理遇到的困难。

（1）问：我的应用场景没有空气流动，怎么才能保证设备散热？

答：对于没有空气流动散热的场景，您可以选择 Venus Lite 系列，而不是 Venus Lite-T 系列。Venus Lite 系列通过结构设计，将内部发热器件的热量引导到外壳上，然后用户可以把设备放在足够大的冷板上通过热传导进行散热。另外，Venus 会实时监控内部 FPGA 的核心温度，用户可以通过这个温度变化来检验传到散热的效果，如果能把 FPGA 的核心温度控制在 80 摄氏度之内，就不会对设备造成损伤，也不会影响时间测量分辨。

（2）问：我应该如何选择设备的电源适配器？

答：功耗要求：Venus Lite（-T）设备采用+12V 直流供电，设备功耗小于 24 W，因此需要保证电源适配器额定电流不低于 2 A。

电源接口物理尺寸：Venus 设备的电源接口触电内径为 2 mm，圆孔内径 5.5 mm。

（3）问：如何选择接入 SMA 接口的射频电缆？

答：用户可以参考以下建议选择射频电缆

（3.1）长度：探测器到 Venus 设备应该尽可能短，以减小信号前沿/幅度损失而影响时间测量精度，也减少外部干扰噪声的影响；

（3.2）特性阻抗：Venus 要求射频电缆特性阻抗为 50 欧，并且尽可能保证精确和稳定，特别是特性阻抗在测试环境温度范围内保证稳定性。用户需要关注电缆的 Return Loss 参数来评估信号完整性。另外，Venus 输入端已经端接了 50 欧电阻匹配，所以用户不需要额外再重复加匹配电阻；

（3.3）屏蔽参数：电缆会引入外部噪声，应该选择屏蔽参数优良的射频电缆以保证测试系统的信噪比性能；

（3.4）电缆带宽：用户应该先评估待测信号的前沿，并估算信号的膝频率，然后选择电缆的带宽要足够高以保证信号前沿不发生显著劣化。一般来讲，如果

电缆的带宽范围为 DC-18 GHz， 1dB Loss @ 18 GHz 就可以覆盖绝大部分应用场景；

（3.5）插损：电缆和连接器不可避免地引入插损。用户应该保证 Insertion Loss 足够小（比如<1 dB @ 目标频率）以保证信号完整性；

（3.6）推荐品牌：目前射频电缆工艺已经非常成熟，可选产品很多。有一些老牌知名厂商，如 Mini-circuits、TE Connectivity 等等。

（4）问：如何选择 USB 线缆？

答：用户可以参考以下建议选择 USB 线缆

（4.1）长度：为了保证 USB 传输稳定性，USB 线缆应该足够短，尽量控制在 3 米之内。如果必须要延长，可以使用主动式延长线（<10 米）或者光纤延长方案（>10 米）。此类产品著名品牌包括 Lindy、OWC 等；

（4.2）规格：USB 线缆需要满足 5Gbps 传输带宽，且外部有编织屏蔽网最佳；

（4.3）USB 线缆带来的地环效应：某些糟糕的测量环境和低噪声测量需求，USB 会将 Venus 设备与测试电脑地短接在一起，与探测器组成地环。参考最新手册的 7.1 节。地环会引入额外噪声。此时，我们建议用户使用 USB 隔离器（如 CESYS ISO-U30），通过磁屏蔽或者光屏蔽将测试电脑与 Venus 设备的地进行隔离。如果条件允许，使用光隔离最佳（如 LINDY 42708);

（5）问:如何选择千兆网线？

答：用户可以参考以下建议选择千兆网线

（5.1）长度：为了保证传输稳定性，千兆网线应该足够短，尽量控制在 20 米之内。如果要延长，可以通过网络交换机、中继器甚至是网线转光纤方案进行延长；

（4.2）规格：需要满足 1Gbps 传输带宽，符合 CAT6/7 标准；

（4.3）是否可以通过商用网络交换机：可以，但是如果交换机接入多台 Venus 设备组网时，应该保证每台设备的 IP 和 MAC 地址的唯一性。并且由于流量分担的问题，每台设备的带宽会打折扣。具体设置可参考 11.2.1 节；

（6）问:我需要使用 QSFP 接口接 4 路光纤到数据获取系统，通信协议怎么确定?

答：Venus 硬件上保留了 1 路 QSFP 接口，并且默认 1 路为万兆网络协议。用户需要使用 QSFP 转 SFP 模块（如 NVIDIA MAM1Q00A-QSA）来使用。如果用户需要使用 4 路光纤与自身的数据获取系统通信，需要联系时溯科技官方进行协议定制和协商。

（7）问:我购买的 16 通道测量系统，为什么还有 1 路参考通道（REF）？REF 通道有什么作用?

答：Venus Lite16 版本上有一路 REF 通道，这并不意味着 REF 通道在数据处理上有什么特殊之处。也就是说，REF 通道在数据处理上与其他 16 个通道完全一样，也是一路 6 ps RMS jitter 的 TDC 通道。唯一特殊的是，REF 通道前端没有比较器，用户需要输入一路 LVCMOS25 电平的数字脉冲信号进行测量。这样，用户可以利用这一路 REF 通道，在外界温度变化很大的场景下来标定比较器延迟的温漂。具体如下：

（7.1）做两端符合是不是必须接 REF：不是，Venus 采用任意通道全局符合算法，REF 通道并不特殊。参考 8.7.11 节；

（7.2）Venus Lite4/8 版本有没有 REF 通道：没有，只有 Venus Lite16 版本有 REF 通道；

（7.3）我恰好有一路数字脉冲信号需要测量时间，是否可以使用 REF 通道：可以，相当于数字脉冲直接接入 TDC 中测量。

（8）问:我想使用外部时钟作为 TDC 测量时钟，需要输入时钟的频率?

答：Venus Lite 设备上有 Clock input SMA 接口，需要输入一路时钟给 TDC 工作使用。对于 1.4+硬件版本，用户需要输入 10 MHz 或者 25 MHz 外部时钟（LVCMOS33/TTL 电平），且需要在软件上选择 10 MHz 或者 25 MHz 外部时钟选项。对于 1.3 硬件版本，仅支持 25 MHz 外部时钟（LVCMOS33/TTL 电平）。具体如下：

（8.1）TDC 如何 Reset：通道外部输入 Sync input SMA 脉冲（LVCMOS33/TTL

电平，脉宽超过 40 ns）来进行 TDC 时间戳值硬复位，或者，通过软件上的 TDC Reset 按钮进行 TDC 时间戳值软复位；

（8.2）设备之间级联的话，怎么处理：参考 11 章内容，遇到问题联系时溯科技；

（9）问:设备上有 Gate input 是做什么用的？

答：Gate input SMA 接口用于设备采集硬启动，也就是在其上输入用户指定的脉冲进行数据采集，用于超高精度（± 6.7 ns）的精确时间采集或多设备高精度同步数据采集。具体参考 8.6.8 节；

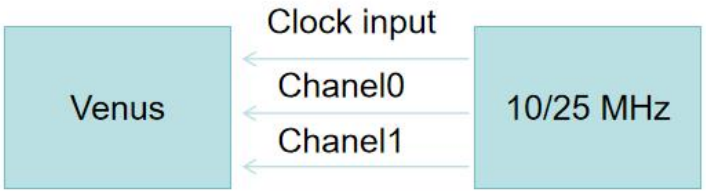
（10）问:我在高温工作环境下，设备风扇转的很快。

答：这个是正常的，Venus 设备使用温度反馈控制风扇转速方式，在高温环境下，风扇逐渐变快。如果不需要或者风扇影响了实验，请联系时溯科技。

（11）问:我使用外部 TDC 时钟，测量与 TDC 时钟同源的信号进行测量，会不会出现问题？

答：数据质量本身不会出错，但是用户会觉得数据不那么好看。我们结合测试进行解释和说明：

（11.1）本次测试平台如下：



10/25 MHz 时钟源完全相同地扇出输入到 TDC 外部时钟接口、测量通道 0 和测量通道 1 中。这种情况是采样时钟与测量信号完全相关的最差情形；

（11.2）这种情况下，TDC 总是测量几个固定细时间区域，而非常缓慢地变化。用户可以借助 Venus 地 GUI 软件上地 TDC 非线性分析功能测试 TDC 的 DNL 来观察这种相关性，如下。



（11.3）这种情况下并不是说明测量不对，而是输入信号的特殊性造成这种现象。虽然 FPGA 内部有细计数非线性修正算法，但是只能修正固定 BIN 附近一些码值，全局上还是非常有规律性。因此，这种情况下的时间分辨并不会受到显著影响，仅仅是分布直方图不那么光滑。如下所示，上图是外部 TDC 时钟和输入信号完全相关，下图是使用内部 TDC 时钟。上图看起来分布不高斯，但是拟合出来的时间分辨并不显著恶化（上下图拟合出来的时间晃动相同）。





（11.4）有没有办法避免这种情形：当然有，比如：

（11.4.1）TDC 时钟与测量信号不同源：绝对不会发生这种现象；

（11.4.2）TDC 时钟与测量信号同源，但是频率不恰好是整数倍，会相当程度地避免这种现象；

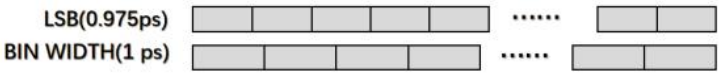
（11.4.2）TDC 时钟与测量信号同源，且频率恰好是整数倍，可以增大画直方图地 BIN WIDTH 来消除这种视觉效果，且并不显著影响性能；

再次重申，这种现象并不是不对，而是相关测量必然出现的一种现象，且这个现象不影响时间晃动性能。

（12）我采集了双通道时间差二进制/十六进制 Raw data，并按照 1 ps BIN 宽画出了时间差分布图，为什么有规律性的“异常散点”出来？

答：因为 Venus 的时间最小分辨为 0.976 ps，如果画直方图按照 1 ps 的 BIN 宽来画，这个微小的差异就会引入类似于“拍频效应”的“异常散点”。原理如下：

- 由于TDC LSB（最小刻度为0.975 ps），而画图使用1 ps为BIN宽
- 绘制直方图时出现“频差现象”，即如下所示·



$$(N+1) \times LSB = N \times BIN_WIDTH$$

计算得到理论上的拍频系数 $N = 39$，与测试结果完全一致

当 N 为 39 整数倍时，理论上 TDC 计数值与直方图渲染 BIN 宽值累加出现整数倍的偏差关系，导致相邻计数重复并入，导致 2 倍偏差。

您可以通过以下方法解决：

（12.1）对时间差数据增加 Dither，来消除这个“拍频效应”。Venus 默认的上位机软件就增加了 0.2 ps 的 Dither 消除了这个现象。具体的方法是给时间差数据增加 0-0.2 ps 的随机数进去，不显著影响时间分辨情况下消除这种现象；

（12.2）改变画图的 BIN 宽。

再次重申，这种现象并不是数据不对，而是不精准画直方图的一种必然结果。

（13）我要采集二进制/十六进制 Raw data 原始时间戳，有时间戳数据（12.1 节）、单边沿时间戳数据（12.10 节）和双边沿时间戳数据（12.7 节）。该如何选择？

答：这三种数据格式都是脉冲输入触发时间的原始时间戳数据，物理意义是相同的，主要区别如下：

（13.1）时间戳数据：两个触发事件各自 32 位时间戳数据，通过 Timezone 形式拼接在一起，以提高数据传输效率。其时间戳的边沿类型是用户通过用户界面配置确定；

（13.2）单边沿时间戳数据：一个触发事件 64 位时间戳数据，解析直接简单。其时间戳的边沿类型是用户通过用户界面配置确定；

（13.2）双边沿时间戳数据：一个触发事件 64 位时间戳数据，包含两个边沿指示位。用户不需要指定触发边沿；

当用户需要同时需要一个信号的前沿和后沿触发时间戳信息，用于事例筛选等分析，应该使用双边沿时间戳信息；

用户可以通过以下方法选择：

（13.3）当用户使用 USB（千兆网/万兆网）传输时，当预估计数率< 40（15/90）Mtags/s 时，且只需要一个时间边沿信息，建议用户选择单边沿时间戳数据；

（13.4）当用户使用 USB（千兆网/万兆网）传输时，当预估计数率> 40（15/90）Mtags/s 时，且只需要一个时间边沿信息，建议用户选择时间戳数据；

（13.5）当用户同时需要两个时间边沿信息，建议用户选择双边沿时间戳数据；

（14）Output Gate SMA 接口输出什么信号？

答：Output Gate SMA 接口是多功能输出接口，用户通过管理页面中进行配置，具体参考 8.9.2 节。

（15）设备使用 1 年了，没什么问题，但是最近发现输出计数率与输入计数率不一致了，甚至会出现输出计数率略微大于输入计数率的情况。

答：设备内部使用了高品质温补晶振来进行计时。但即使如此，晶振的老化带来性能的不确定变化依然不可避免。比如在进行计数率统计时，设备需要计算 1s 的时间。由于晶振老化，计时可能会逐渐出现误差。遇到这种情况，请及时与时溯科技官方联系，并按时进行设备维护（第 14 章）。时溯科技官方会帮助您更新修正参数，以保证长时间采集的稳定性。

（16）我需要做 N 重符合统计，需要多个策略组，我看上位机软件上有硬件或软件符合，这个应该怎么选择？

答：如 8.7.11 节所述，硬件实现 N 重符合具有低延迟、高效率、高性能的优势，如果用户只需要统计计数率结果，而不需要符合中间数据，那么建议采用硬件符合方式；软件 N 重符合高度依赖上位机电脑性能，且其延迟大，但其可以部署更多策略数和输出符合过程数据。所以给出如下建议：

（1）如果用户只需要 N 重符合计数率结果，且符合策略组数目不超过 40 个，建议使用硬件符合机制；

（2）如果用户上位机电脑性能较好，输入计数率较低（比如<10 Mtags/s total），需要部署超过 40 个策略组，或需要观测中间符合过程数据，那么可以选择软件符合机制。

（17）我需要做 N 重符合统计，需要多个策略组，选择硬件方式时，部署策略时间较长？

答：对于硬件符合方式，上位机软件需要将大量的符合策略参数下发给设备，因此部署策略时间较长。但是一旦部署完成后，设备统计响应就会很快。如果

部署 40 组硬件符合测量，大概的部署时间为 25 s(USB 接口)或 3s (千兆网口)。如果对部署速度有要求，可以选择千兆网口。

（18）我在进行时间差测量或者周期测量时，为什么自己通过 Raw 数据分析的结果与上位机测试的结果有一点差异（~0.06%）？

答：按照技术规格表中的说法，用户应该特别注意，时间测量最小 LSB 准确的值应该是 0.9765625 ps，即 1000/1024 ps。本设备配套的上位机软件均采用此精确值转换。如果用户需要精确离线分析数据，建议用户也使用 0.9765625 ps。为了简化文档编写，本文档近似写为 0.976 ps。

（19）我在进行 Start-Stop 分组测试中，为什么采集不到数据？而相同的两个信号，在双通道时间差分布中有正常的数据？

答：双通道时间差分布分析中，软件并不区分两路信号的“先来后到”，即简单输出两路信号的到达时间差信息，并不区分两个通道的属性。而在 Start-Stop 测试中，因为用户指定了 Start 通道与 Stop 通道，原则上在物理实验中，Start 信号必要先于 Stop 信号到达。因此，如果由于线缆等延迟造成 Start 信号晚于 Stop 信号到达，则设备无法采集到用户想要的合理数据。对于这种情况，用户应该首先评估两路信号的系统延迟（线缆、电路等）并在用户界面中的通道延迟配置中给予补偿。补偿的方法可参考附录 J。

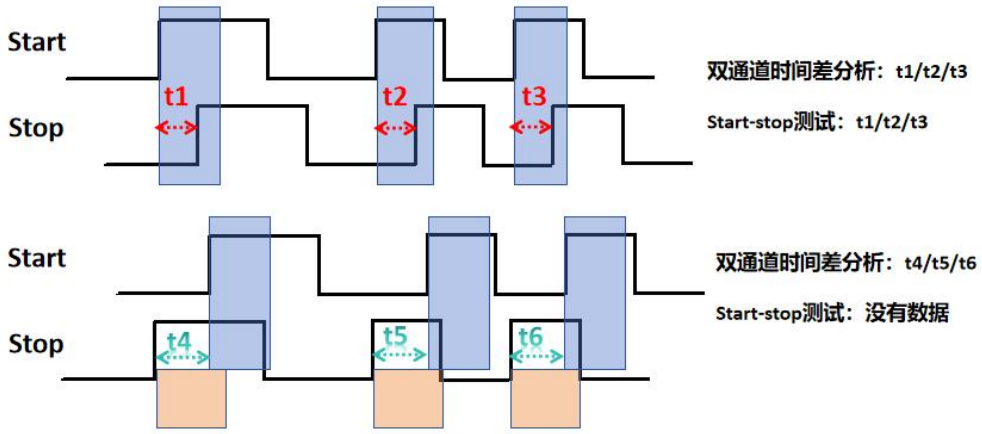


图 1 双通道时间差与 Start-stop 测试区别示意图（上升沿触发举例。

上图：Start 先于 Stop 信号到达，两种分析都测量到两个通道时间差 t1/t2/t3；

下图：Start 晚于 Stop 信号到达，双通道时间差分析不区分先来后到，因此直接输出两路信号的时间差 t4/t5/t6，而 Start-stop 分析，软件在 Start 信号到达后找 Stop 信号，因此没有正确的数据输出）

（20）我在进行 Start-Stop 分组测试中，Start 接探测器激发同步信号 Sync，Stop 接探测器输出信号 Signal。我想保存每一次 Sync 信号的 Sync 和 Signal 时间差，保存的数据能区分哪一次 Sync 激发？

答：完全可以。参考 8.7.3 节内容，你先进行 Start-stop 测试分组，并且勾选“保存 T3 数据”，软件将在 Output 文件夹下保存每一组，每一次 Sync 激发的信号与 Sync 信号时间差信息。这些信息足够你进行下一步的分析。

（21）我在进行 Raw 数据采集时，如何能检测到是否有数据丢失？

答：参考 12 章的数据帧格式中的 Frame cnt，可以通过 Frame cnt 的连续性判断采集过程中有无帧数据包丢失。

（22）输出的时间戳是否是按照时间先后顺序排列的？

答：是的。输出的时间戳数据是在 FPGA 中按照时间先后顺序排列的，排序长度为 4 倍的通道数。比如对于一个 16 通道的设备，排序长度为 64。即时间数据流进入一个 64 深度的排序池，每 64 个时间戳进行流水线实时排序。

（23）REF 通道舒是否可以直接接入数字信号？此通道的抖动和最高计数率是多少？

答：是的，REF 通道没有模拟前端电路，仅有过压保护电路。用户可以输入一个数字脉冲到 REF 通道进行时间测量，但需要保证信号在 50 欧姆电阻上的电压超过 2.7 V。REF 通道由一个 6 ps jitter 的 TDC 组成，计数率没有做特殊限制。

（24）TDC 外部输入参考时钟能否是正弦波？我想让秒脉冲 PPS 去复位 TDC，应该怎么做？

答：一般来说，建议输入方波。但是输入正弦波系统也可以工作，但是需要注意信号幅度要满足要求（在 50 欧姆电阻上电压幅度超过 2.7 V）。TDC 外部复位信号通过 Sync 输入 SMA 接口输入，只需要一个约 10+ ns 脉冲来复位 TDC。用户需要对 PPS 进行处理，把与 PPS 信号的上升沿同步的窄脉冲输入到 Sync 输入 SMA 中即可。

本文档历史记录

文档编号	修改时间	修改人	说明
UG-01-3-010-1	2025.12	Cong	V1.0
UG-01-3-030-1	2026.2	Cong	1. 针对 v1.2 硬件版本进行更新； 2. 优化了时间测量性能； 3. 增加了比较器迟滞电压设置功能； 4. 去掉了时间延迟使能按钮； 5. 修改了外部时钟输入要求； 6. 增加了 LabVIEW SDK，更新了 C++/Python/Matlab SDK； 7. 增加了 Start-Stop 分析模式； 8. 更新了部分测试结果
UG-01-3-040-1	2026.4	Cong	1. 针对 v1.3 硬件版本进行更新； 2. 详细描述了 Start-stop 统计方法； 3. 更新了产品订购型号说明； 4. 更新了测试结果和 API 接口
UG-01-3-050-1	2026.6	Cong	1. 增加了关联函数 g2 计算； 2. 优化了时钟频率分析功能，满足 IEEE 1139； 3. 增加了多重符合统计； 4. 解决了部分 bug；
UG-01-3-051-1	2026.7	Cong	1. 增加了单边沿数据格式； 2. 增加了多功能 Gate 输出； 3. 增加了常用问题答疑
UG-01-3-052-1	2026.8	Cong	1. 增加了硬件 N 重符合统计方案； 2. 增加了硬件 N 重符合统计性能测试结果；
UG-01-3-053-1	2026.9	Cong	1. 增加了 FLIM 模块描述； 2. 更新了部分测试结果

UG-01-3-054-1	2026.11	Cong	1. 增加了 Burst 测试； 2. 增加了组网 USB 采集方法； 3. 增加了 Frame cnt 数据结构； 4. 更新了部分测试结果 5. 增加了一些答疑